

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-271856

(43)公開日 平成8年(1996)10月18日

(51)Int.Cl.⁶
G 0 2 F 1/133
G 0 9 G 3/36

識別記号 520

F I
G 0 2 F 1/133
G 0 9 G 3/36

技術表示箇所

520

審査請求 未請求 請求項の数9 O.L (全15頁)

(21)出願番号 特願平7-75509

(22)出願日 平成7年(1995)3月31日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 竹本 正人

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

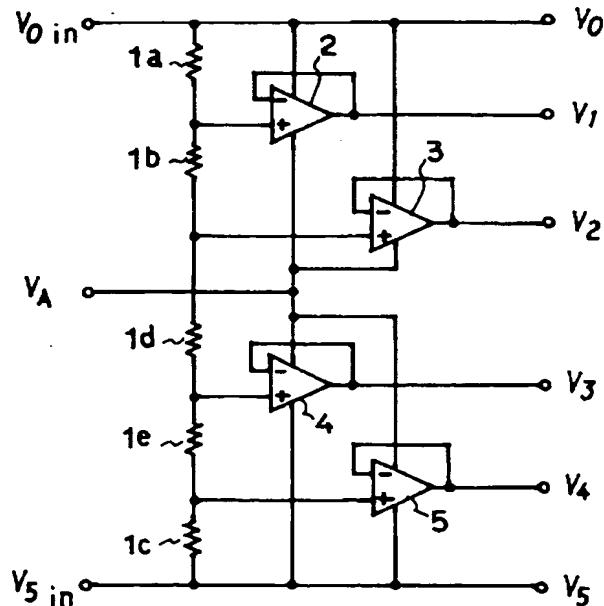
(74)代理人 弁理士 梅田 勝

(54)【発明の名称】 液晶表示装置の駆動電圧発生装置

(57)【要約】

【構成】 1種類の液晶駆動用供給電圧 (V_{0in} ~ V_{5in}) から、入力電圧を分圧用抵抗 1a~1e で分圧して液晶表示部の駆動に必要な6種類の電圧 V_0 ~ V_5 を発生し、液晶駆動用電力を供給するための駆動電圧発生装置において、その電力供給を液晶駆動用供給電圧に加えて、液晶駆動用供給電圧の中間的な電位を持つ液晶表示装置内で有しているシステム電源電位 V_A を合わせて使用するものである。

【効果】 駆動電圧発生装置で消費する電力を低減することができる。



【特許請求の範囲】

【請求項1】 1種類の液晶駆動用供給電圧から、入力電圧を分圧して液晶表示部の駆動に必要な6種類の電圧を発生し液晶駆動用電力を供給するための駆動電圧発生装置において、その電力供給を液晶駆動用供給電圧に加えて、液晶駆動用供給電圧の中間的な電位を持つ液晶表示装置内で有しているシステム電源電位を合わせて使用することにより、消費電力を低減した液晶表示装置の駆動電圧発生装置。

【請求項2】 1種類の液晶駆動用供給電圧から、入力電圧を分圧して液晶表示部の駆動に必要な6種類の電圧を発生し液晶駆動用電力を供給するための駆動電圧発生装置において、その電力供給を液晶駆動用供給電圧に加えて、液晶駆動用供給電圧の中間的な電位を持つ液晶表示装置内で有しているシステム電源電圧の接地電位を使用することにより、消費電力を低減した液晶表示装置の駆動電圧発生装置。

【請求項3】 上記液晶駆動用供給電圧を分圧した出力電圧と、該液晶駆動用供給電圧の中間的な電位を持つシステム電源電位との電位差が小さい場合に、演算増幅器とトランジスタを組み合わせてなることを特徴とする、請求項2に記載の液晶表示装置の駆動電圧発生装置。

【請求項4】 上記液晶駆動用供給電圧を分圧した出力電圧と、該液晶駆動用供給電圧の中間的な電位を持つシステム電源の接地電位との電位差が小さい場合に、演算増幅器とトランジスタを組み合わせてなることを特徴とする、請求項1に記載の液晶表示装置の駆動電圧発生装置。

【請求項5】 上記液晶駆動用供給電圧を分圧した出力電圧と、該液晶駆動用供給電圧の中間的な電位を持つシステム電源電位もしくはシステム電源の接地電位との電位差が小さい場合に演算増幅器とトランジスタを複数個組み合わせてなることを特徴とする、請求項1および請求項2に記載の液晶表示装置の駆動電圧発生装置。

【請求項6】 上記液晶駆動用供給電圧を分圧した出力電圧より、システム電源電位との電位差が小さい場合に、システム電圧を昇圧した電位を用いたことを特徴とする、請求項1に記載の液晶表示装置の駆動電圧発生装置。

【請求項7】 上記液晶駆動用供給電圧を分圧した出力電圧より、システム電源電位との電位差が小さい場合に、システム電圧を負電圧に変換した電位を用いたことを特徴とする請求項2に記載の液晶表示装置の駆動電圧発生装置。

【請求項8】 上記液晶駆動用供給電圧を分圧した出力電圧より、システム電源電位との電位差が小さい場合に、システム電圧をMOS形FETを用いた昇圧回路により昇圧した電位を用いたことを特徴とする、請求項1に記載の液晶表示装置の駆動電圧発生装置。

【請求項9】 上記液晶駆動用供給電圧を分圧した出力電

圧より、システム電源電位との電位差が小さい場合に、システム電圧をMOS形FETを用いた負電圧発生回路により負電圧に変換した電位を用いたことを特徴とする、請求項1に記載の液晶表示装置の駆動電圧発生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、液晶表示パネル駆動用の電圧を発生する、液晶表示装置の駆動電圧発生装置に

10 関するものである。

【0002】

【従来の技術】 従来の単純マトリクス型液晶表示装置 (MIM(Metal Insulator Metal)等の同一駆動方式の液晶表示装置を含む)においては、駆動電圧発生装置から6種類のレベルの電圧を液晶ドライバに供給して液晶表示パネルを駆動する6レベル駆動方式が採用されている。

20 【0003】 これらの電圧は、システム内で使用しているロジック電源よりも(電圧差の)高い2電圧間を電源とし、抵抗分割により分圧、もしくは抵抗分割により分圧した電圧をボルテージフォロア接続した演算増幅器を介して、液晶ドライバICに供給する方法が用いられている。(詳細については、株式会社日立製作所の「日立LCDドライバLSIデータブック」1990年3月版P61, P62, P286および三洋電機株式会社「1990年三洋半導体データブック産業機器集積回路VOL.4定電圧電源編」P183, P184の「LA5311M」説明を参照)。

30 【0004】 図20に液晶表示装置の駆動電圧発生装置の従来回路として、5個の抵抗100a～100dで抵抗分割し、ボルテージフォロア接続した4個の演算増幅器101～104を用いて駆動電圧を発生する回路例を示す。この図20において、V_{0in}, V_{5in}は外部から供給される液晶駆動に必要な電圧であり、これをもとに抵抗100a～100dで分圧し4種類の電圧を作り、ボルテージフォロア接続した4個の演算増幅器101～104により低インピーダンス化した電圧V₁, V₂, V₃, V₄を作り、外部から供給されている電位である電圧V₀, V₅を加えた6種類の電位を発生し、液晶表示装置に供給している。なお、V₀電圧より高い電圧とV₅電圧より低い電圧を用いてV₀電圧とV₅電圧も演算増幅器により発生させる場合もあるが、図20で示す回路が最小構成であるため説明は省略する。なお、ボルテージフォロアとして用いている演算増幅器はすべて前述の抵抗分割される電圧間を電源電位および接地電位として使用している。また、特開平5-313612号公報には、演算増幅器の出力能力を低下させて演算増幅器自体の消費電流を低減する手法も提案されている。

40 【0005】 以下、上記従来回路を詳細に説明する前に、先ず図16で示すような液晶表示装置を駆動した場

合を例に液晶パネル内の電流を説明する。図16において、液晶パネル52は、液晶材料を挟んだn個のセグメント電極53、m個のコモン電極で構成されており、セグメント電極53には電圧V₀、V₂、V₃、V₅の電圧を選択切り換えることができるセグメントドライバー55が接続されている。またコモン電極56にはV₀、V₁、V₄、V₅の電圧を選択切り換えることができるコモンドライバー56が接続されている。さらに、セグメントドライバー55とコモンドライバー56には駆動電圧発生装置51により、電圧V₀、V₁、V₂、V₃、V₄、V₅の6レベルの電圧が供給されている。なお、駆動電圧発生装置51は、図19で示した回路により構成されているものとする。

【0006】上記図16に示す液晶パネル52のコモン電極54及びセグメント電極53の任意の電極における液晶駆動波形は、コモン側においては図17のコモン出力波形のように、セグメント側においては図18のセグメント出力波形のようになっている。この図18のうち図18(a)は液晶非点灯時、図18(b)は液晶全面点灯時、図18(c)は行方向に液晶が点灯、非点灯を繰り返した場合の駆動波形を示している。

【0007】上記図18をもとに、液晶表示パネル52の液晶内で流れる電流の方向を解析し、その概要を図示したのが図19である。上記図18と同様に、図19のうち図19(a)は液晶非点灯時、図19(b)は液晶全面点灯時、図19(c)は行方向に液晶が点灯、非点灯を繰り返した場合の、液晶内の電流の方向を示している。

【0008】上記図19からわかるように、図19(a)は液晶非点灯時、図19(b)は全面点灯時、図19(c)は行方向に点灯、非点灯を繰り返した場合である。図19を見てわかるように、液晶表示装置内の電流は必ずしも、供給最大電圧V₀～V₅間で流れているのではなく、例えば図19(c)の電流I④のように、V*

$$I_{s1} + I_{s2} + I_{s3} + I_{s4} + (I_z + I_z') / 2 \quad \cdots (1)$$

であらわされる。

【0012】ただし、I_{s1}=I_{s2}=I_{s3}=I_{s4}、かつI_z=I_{z'}は完全には満足されず、そのために電位補正回路を設けてあるわけであるが、液晶表示システムによっては全電流の5%～数10%程度にまでになる場合もあり、このようなシステムの場合には効果が余りえられない場合も発生する。

【0013】

【発明が解決しようとする課題】従来のように、演算増幅器がボルテージフォロワ接続されている構成では、電圧を単に抵抗により分割して得る構成と比較して、ブリーダ抵抗に流れる電流を大幅に低減でき、出力電圧の精度を向上することができる。しかしながら従来の構成は以下の理由により消費電流の増大を招いている。

【0014】上記従来回路では、演算増幅器への電源供給は、外部から供給される最大電圧端子V_{0in}及びV_{5in}

*₀～V₂間もしくはV₃～V₅間を流れる電流も有している。特にこの電流I④は液晶表示列方向の点灯、非点灯の繰り返しが多くなるほど大きくなり、全体に対する比も極めて多い。それに対し、電流I②もしくは電流I②'、電流I②''で示す電流は、コモン出力の行選択パルスに伴う電流であり、表示画面により電流値は余り影響を受けない。

【0009】上記のような電流路をとる液晶パネルの駆動電圧発生装置において、図20に示す従来回路での図19(c)の電流I④に示す電流に対応する負荷モデルを想定し、電圧発生装置内部での電流の動きを図示したのが図20である。

【0010】上記図20においてのモデル負荷はV₀～V₂間にZ_Lのインピーダンスを持つ負荷107とスイッチ回路109を直列に接続し、V₃～V₄間にZ_{L'}のインピーダンスを持つ負荷108とスイッチ回路110を直列に挿入したものである。ここで、スイッチ回路109、110は液晶駆動時の交流化に対応したものであり、交流化(+)期間はスイッチ回路109が閉じ、スイッチ回路110が開き、交流化(-)期間はスイッチ回路109が開きスイッチ回路110が閉じている場合に相当し、スイッチ回路109と110が同時に閉じる(閉く)ことはなく、開閉の割合は1/2ずつである。

【0011】上記図20には、スイッチ回路109が閉じてスイッチ回路110が開いている場合の各部の電流を実線の矢印で表しており、またスイッチ回路109が開いてスイッチ回路110が閉じている場合の電流を破線の矢印で表している。ここで、演算増幅器101、102、103、104のそれぞれの自己消費電流は、I_{s1}、I_{s2}、I_{s3}、I_{s4}であり、負荷107に流れる電流をI_z、負荷108に流れる電流をI_{z'}とすると、回路全体の平均的な消費電流は

$$I_{s1} + I_{s2} + I_{s3} + I_{s4} + (I_z + I_z') / 2 \quad \cdots (1)$$

により行われている。この電圧と出力端子電圧V₁～V₄との差が大きいため、この電圧差はシリーズレギュレータとして動作している演算増幅器内で熱として消費される。たとえば、V₃端子より電流を供給する場合には、V₀より電流が供給されその電圧差であるV₀～V₃間の電圧とV₃への供給電流との積で表される電力が熱となり演算増幅器内で消費されることになるため、極めて効率が悪い。

【0015】

【課題を解決するための手段】

(第1の手段) 1種類の液晶駆動用供給電圧から、入力電圧を分圧して液晶表示部の駆動に必要な6種類の電圧を発生し液晶駆動用電力を供給するための駆動電圧発生装置において、その電力供給を液晶駆動用供給電圧に加えて、液晶駆動用供給電圧の中間的な電位を持つ液晶表示装置内で有しているシステム電源電位を合わせて使用

することにより、消費電力を低減するものである。

【0016】(第2の手段) 1種類の液晶駆動用供給電圧から、入力電圧を分圧して液晶表示部の駆動に必要な6種類の電圧を発生し液晶駆動用電力を供給するための駆動電圧発生装置において、その電圧供給を液晶駆動用供給電圧に加えて、液晶駆動用供給電圧の中間的な電位を持つ液晶表示装置内で有しているシステム電源電圧の接地電位も使用することにより、消費電力を低減するものである。

【0017】(第3の手段) 上記液晶駆動用供給電圧を分圧した出力電圧と、液晶駆動用供給電圧の中間的な電位を持つシステム電源電位との電位差が小さい場合に、演算増幅器とトランジスタを組み合わせて実現した、第2の手段を有するものである。

【0018】(第4の手段) 上記液晶駆動用供給電圧を分圧した出力電圧と、液晶駆動用供給電圧の中間的な電位を持つシステム電源の接地電位との電位差が小さい場合に、演算増幅器とトランジスタを組み合わせて実現した、上記第1の手段を有するものである。

【0019】(第5の手段) 上記液晶駆動用供給電圧を分圧した出力電圧と、液晶駆動用供給電圧の中間的な電位を持つシステム電源電位もしくはシステム電源の接地電位との電位差が小さい場合に演算増幅器とトランジスタを複数個組み合わせて実現した、上記第1の手段および第2の手段を有するものである。

【0020】(第6の手段) 上記液晶駆動用供給電圧を分圧した出力電圧より、システム電源電位との電位差が小さい場合に、システム電圧を昇圧した電位を用いて実現した、上記第1の手段を有するものである。

【0021】(第7の手段) 上記液晶駆動用供給電圧を分圧した出力電圧より、システム電源電位との電位差が小さい場合に、システム電圧を負電圧に変換した電位を用いて実現した、上記第2の手段を有するものである。

【0022】(第8の手段) 上記液晶駆動用供給電圧を分圧した出力電圧より、システム電源電位との電位差が小さい場合に、システム電圧をMOS形FETを用いた昇圧回路により昇圧した電位を用いて実現した、上記第1の手段を有するものである。

【0023】(第9の手段) 液晶駆動用供給電圧を分圧した出力電圧より、システム電源電位との電位差が小さい場合に、システム電圧をMOS形FETを用いた負電圧発生回路により負電圧に変換した電位を用いて実現した、第1の手段を有するものである。

【0024】

【作用】

(第1の手段の作用) 第1の手段によれば、液晶用駆動電力を上記従来回路に対して約1/2に低減できるようになる。また、必要な部品点数は従来回路と同じ部品点数まで削減可能となると共に、使用部品の耐圧を下げることができるため、コストダウンが可能である。すなわ

ち、この構成の駆動電圧発生回路を用いることにより、低消費電力で安価な液晶表示装置を実現することができる。

【0025】(第2の手段の作用) 第2の手段によれば、液晶用駆動電力を上記従来回路に対して約1/2に低減できるようになる。また、必要な部品点数は従来回路と同じ部品点数まで削減可能となると共に、使用部品の耐圧を下げることができるため、コストダウンが可能である。すなわち、この構成の駆動電圧発生回路を用いることにより、低消費電力で安価な液晶表示装置を実現することができる。

【0026】(第3の手段の作用) 第3の手段によれば、上記第2の手段での構成が困難なシステムにおいても、トランジスタ1個を追加するだけで、第2の手段と同等の作用を得られるようになることができる。

【0027】(第4の手段の作用) 第4の手段によれば、第1の手段での構成が困難なシステムにおいても、トランジスタ1個を追加するだけで、第1の手段と同等の作用を得られるようになることができる。

【0028】(第5の手段の作用) 第5の手段によれば、第1の手段および第2の手段での構成が困難なシステムにおいても、トランジスタ2個の追加により、第1の手段および第2の手段と同等の作用を得られるようになることができる。

【0029】(第6の手段の作用) 第6の手段によれば、第1の手段の構成が適用できなかった表示システムにおいても、昇圧回路を用いることにより、第1の手段の構成を実現できることを示している。これにより、どのようなシステム電圧の液晶表示装置であっても第1の手段の作用を得られることがある。

【0030】(第7の手段の作用) 第7の手段によれば、第2の手段の構成が適用できなかった表示システムにおいても、負電圧発生回路を用いることにより、第2の手段の構成を実現できることを示している。これにより、どのようなシステム電圧の液晶表示装置であっても第2の手段の作用を得られることがある。

【0031】(第8の手段の作用) 第8の手段によるMOS形FETを用いた昇圧回路の構成によれば、極めて電力効率の良い昇圧回路を作成することができる。すなわち、この昇圧回路を用いることにより、第6の手段に示す液晶駆動用電源回路および液晶表示装置を低消費電力で構成することができる。

【0032】(第9の手段の作用) 第9の手段によるMOS形FETを用いた負電圧発生回路の構成によれば、極めて電力効率の良い負電圧発生回路を作成することができる。すなわち、この負電圧発生回路を用いることにより、第7の手段に示す液晶駆動用電源回路および液晶表示装置を低消費電力で構成することができる。

【0033】

【実施例】

(実施例1) 本発明による液晶表示装置の駆動電圧発生装置の実施例を図1に示す。本実施例において、液晶表示装置の基本構成は図16に示すように、セグメント電極53とコモン電極54間に液晶材料を挟んだ液晶表示パネル52に対して、セグメントドライバ55、コマンドドライバ56が接続され、セグメントドライバ55、コマンドドライバ56とに対して、駆動電圧発生装置51が接続されている。この構成は、必ずしも独立した部品である必要はなく、セグメントドライバ55およびコマンドドライバ56さらには、駆動電圧発生装置51自体が1つの部品に集積されている場合も含まれる。

【0034】まず、基本構成に際して本発明の液晶表示装置の駆動電圧発生装置である、上記の駆動電圧発生装置51について述べる。この駆動電圧発生装置51は、図1のように駆動のための最大電圧 V_0 、 V_5 を電源入力(V_0 を高圧、 V_5 を低圧)とし、この電圧を V_1' 、 V_2' 、 V_3' 、 V_4' の4種類の電圧に分圧する1a、1b、1c、1d、1eの抵抗と、その抵抗により分圧された電圧を基準電圧として V_1 、 V_2 、 V_3 、 V_4 の電圧を低インピーダンスで出力することができる演算増幅器2、3、4、5を有している。

【0035】上記演算増幅器は V_1 、 V_2 、 V_3 、 V_4 出力に対する電流供給、および出力端子からの電流吸い込みも可能なものであり、電流供給の場合には+電源端子からの電流を定電圧化したシリーズレギュレータとして動作し、電流吸い込みの場合には出力端子から-電源端子に対して電流を放出し、出力電圧を一定に保つ働きをするものである。

【0036】また、演算増幅器2、3の-電源端子と、演算増幅器4、5の+電源端子はさらに V_0 と V_5 の中間電位を持つシステム電源 V_A に接続されている。ここで V_A の電位は、 $V_2 > V_A > V_3$ とする。

【0037】一方、ここで供給される2種類の電源系統 V_5 電圧を基準とした V_{0in} と V_A は一般的には図2に示すシステム電源回路により供給されている。図2において、電位 V_B の直流電圧供給源6より、DC/DCコンバータ回路7により効率よく定電圧化された V_S を作成し、さらに V_S よりDC/DCコンバータ回路8によりさらに高い電圧 V_{EE} を作成している。なお、破線で示すコンデンサ7aはDC/DCコンバータ回路7で内蔵しているコンデンサであるが、敢えて図示している。

【0038】上記図2に示すシステム電源回路の電源電圧出力は、一般的には+ V_{EE} 、 V_S 、GNDのよう記されるが、図1との相関の関係上()内で示す V_0 、 V_A 、 V_5 として以下説明する。すなわち、図1に対しては、 $V_0 - V_5$ と $V_A - V_5$ の電圧供給がされていることとなる。

【0039】ここで、図2に示す直流電圧供給源6は図で記号として示している電池でも良いし、商用交流電源を直流に交換したものでも置き換えられる。また、DC

/DCコンバータ7は直流電圧供給源より異なる直流電圧へ効率よく電力変換をするものであり、シリーズレギュレータ、スイッチングレギュレータ等であるが、システムによっては直流電圧供給源6をそのまま使用することもあるため、DC/DCコンバータ7が省略された形、すなわち $V_S = V_B$ の電源構成のシステムであっても良い。さらに、図2では+ V_{EE} 電圧を出力するDC/DCコンバータ8の入力は、 V_S 端子に接続しているが、直流電圧供給源6に接続しても良いし、全く別系統の直流電圧供給装置から供給する場合も同じである。

【0040】ここで、前述の従来技術で示したように、液晶パネル内の負荷に相当するモデル負荷を想定したのが図4である。図4において、負荷モデルは10、11で示している。負荷10は $V_0 - V_2$ 間にスイッチ回路12と直列に接続されており、また負荷11は $V_3 - V_5$ 間にスイッチ回路13と直列にして接続される。

【0041】ここで、スイッチ回路12、13は液晶パネル駆動の交流化に対応したものであり、交流化(+)期間はスイッチ回路12が閉じ、スイッチ回路13が開き、また交流化(-)期間は、スイッチ回路12が開きスイッチ回路13が閉じている場合に相当する。なお、液晶パネルに直流電圧が残留するのを防ぐため、交流化(+)期間と交流化(-)期間とは等しくなるように制御されることより、一定期間でのスイッチ回路12、13の開閉割合はそれぞれ1/2となる。

【0042】さらに、図4ではスイッチ回路12が閉じて、スイッチ回路13が開いている場合の、各部の電流を実線の矢印で示しており、またスイッチ回路12が開いてスイッチ回路13が閉じている場合の電流を破線の矢印で示している。

【0043】ここで、演算増幅器2、3、4、5のそれぞれの自己消費電流は I_{S1} 、 I_{S2} 、 I_{S3} 、 I_{S4} であり、負荷10に流れる電流は I_Z 、負荷11に流れる電流は I_Z' である。スイッチ回路12が閉じている(スイッチ回路13は開いている)場合は、図4の実線で示す電流が流れる。すなわち、図のA点に流れ込む電流は $(I_{S1} + I_{S2} + I_Z)$ であり、またA点より流れ出す電流は $(I_{S3} + I_{S4})$ となるが、この電流の差 $(I_{S1} + I_{S2} + I_Z) - (I_{S3} + I_{S4})$

40 は V_A 端子より外部に流れ出すこととなる。

【0044】また、スイッチ回路13が閉じている(スイッチ回路12は開いている)場合は図の破線矢印で示す電流が流れる。上記の場合と同様に、この場合は $(I_{S3} + I_{S4} + I_Z')$ - $(I_{S1} + I_{S2})$ が V_A 端子より供給されることとなる。

【0045】すなわち図2と合わせて考えると、図1の V_A 端子より外部に電流が流れ出す場合は、システム電源 V_S (V_A)再び戻されることとなり、また V_A 端子より電流が流れ込む場合はシステム電流 V_S (V_A)より再度供給されることとなる。すなわち、電源回路全体での

電力は

$$\begin{aligned}
 & (V_0 - V_5) \times (I_{S1} + I_{S2} + I_Z/2) \\
 & - 1/2 \times (V_A - V_5) \times \{ (I_{S1} + I_{S2} + I_Z) - (I_{S3} + I_{S4}) \} \\
 & + 1/2 \times (V_A - V_5) \times \{ (I_{S3} + I_{S4} + I_Z') - (I_{S1} + I_{S2}) \} \\
 & = (V_0 - V_A) \times (I_{S1} + I_{S2} + I_Z/2) \\
 & - (V_A - V_5) \times \{ (I_{S1} + I_{S2} + I_Z/2) - (I_{S3} + I_{S4} + I_Z'/2) \} \\
 & = (V_0 - V_A) \times (I_{S1} + I_{S2} + I_Z/2) + (V_A - V_5) \times (I_{S3} + I_{S4} + I_Z'/2) \\
 & \quad \cdots (2)
 \end{aligned}$$

として表される。

【0046】これは $(I_{S1} + I_{S2} + I_Z/2) - (I_{S3} + I_{S4}) \times 10$ なわち負荷のバランスが等しい時は、

$$(V_0 - V_5) \times (I_{S1} + I_{S2} + I_Z/2) \quad \cdots (3)$$

として表わすことができる。また、負荷のバランスが異常な場合においては、回路電力は

$$(V_0 - V_5) \times (I_{S1} + I_{S2} + I_Z/2) - (V_A - V_5) \times |X| \quad \cdots (4)$$

さらに、 $X < 0$ となる場合においては、

$$(V_0 - V_5) \times (I_{S3} + I_{S4} + I_Z'/2) - (V_0 - V_A) \times |X| \quad \cdots (5)$$

として表すことができる。

【0047】なお、図4の説明においては、スイッチ回路12, 13は交互に開閉することとして説明しているが、液晶表示装置をさらに厳密にモデル化すると、スイッチ回路12, 13は図5に示すように、スイッチ回路が閉じていると説明した期間においても、表示データに対応したさらに短い周期で開閉を行っており、その平均電流を I_Z および I_Z' として表現している。

【0048】これら、短い周期でのスイッチ回路の開閉による電流は、液晶が容量性負荷であるがゆえに、瞬間的な充電、放電電流として V_A 端子に現れてくることに★

$$C = C_{LCD} \times (V_0 - V_2) / \Delta V \quad \cdots (6)$$

として表わすことができる。

【0049】ここで、システム電源の許容リップル電圧を ΔV 、また C_{LCD} は液晶パネルのセグメント電極-コモン電極間の静電容量である。具体例として、640×

480ドットマトリクスLCDで、 $V_0 - V_5$ 間の駆動電圧

$$\begin{aligned}
 C_{LCD} &= (4+10)/2 \times 10^{-9} / (36 \times \pi) \times 640 \times 480 \times (0.3 \times 10^{-3})^2 / (6 \times 10^{-6}) \\
 &= 0.285 \times 10^{-6} [F] = 0.285 [\mu F]
 \end{aligned}$$

$$V_0 - V_2 = 26 \times 2 / 13 = 4 [V]$$

であり、リップル電圧

$$\Delta V = 100 \text{ mV}$$

$$C = 0.285 [\mu F] \times 4 / 0.1 = 11.4 [\mu F]$$

として算出できる。

【0050】一般的なDC/DCコンバータの出力コンデンサは、この静電容量よりも大きな値のコンデンサを使用しており、図1で示すコンデンサ7aは本発明用に追加する必要はなく、従来よりDC/DCコンバータに用いているコンデンサをそのまま流用できることを意味している。

【0051】(実施例2) 本装置のシステム電源回路の構成は、図2に示す回路構成のみでなく、図3に示すようなシステム電源回路の場合も考えられる。図3において、電位 V_B の直流電圧供給源6より、DC/DCコンバータ回路7により効率よく定電圧化された V_S を作成し、さらに V_S よりDC/DCコンバータ回路9により

$* + I_{S4} + I_{Z'}/2 = X$ とすると、 $X = 0$ のとき、す

【0046】これは $(I_{S1} + I_{S2} + I_Z/2) - (I_{S3} + I_{S4}) \times 10$ なわち負荷のバランスが等しい時は、

$$(V_0 - V_5) \times (I_{S1} + I_{S2} + I_Z/2) \quad \cdots (3)$$

として表わすことができる。また、負荷のバランスが異常な場合においては、回路電力は

$$(V_0 - V_5) \times (I_{S1} + I_{S2} + I_Z/2) - (V_A - V_5) \times |X| \quad \cdots (4)$$

さらに、 $X < 0$ となる場合においては、
 $(V_0 - V_5) \times (I_{S3} + I_{S4} + I_Z'/2) - (V_0 - V_A) \times |X| \quad \cdots (5)$
 \star なる。したがって、これらの電流は、 V_A 端子すなわちシステム電源 V_S へのリップル電圧として現れてくるため、図2に示したコンデンサ7aが必要となる。コンデンサ7aの静電容量Cの値は、厳密には液晶パネル内の電極抵抗、及びセグメントドライバーおよびコモンドライバーの出力抵抗、および液晶駆動電圧発生回路の等価内部抵抗等も含めた時定数回路によりピーク電圧を求めることが必要であるが、概算的にはこれらの要素を無視した最悪条件での静電容量Cは下式により算出できる。
すなわちコンデンサ7aの静電容量Cは、

☆圧26V、バイアス比1/13、コモン、セグメント電極幅を0.3×0.3mm、電極間ギャップ6μm、液晶の比誘電率を点灯時10、非点灯時4の場合の液晶表示装置では、

システム接地電位(GND)より低い電圧(-) V_{EE} を作成している。なお、破線で示すコンデンサ7aはDC/DCコンバータ回路7で内蔵しているコンデンサであるが、敢えて図示している。

【0052】ここで、図3に示す直流電圧供給源6は図で記号として示している電池でも良いし、商用交流電源を直流に変換したものでも置き換えられる。また、DC/DCコンバータ7は直流電圧供給源より異なる直流電圧へ効率よく電力変換をするものであり、シリーズレギュレータ、スイッチングレギュレータ等であるが、システムによっては直流電圧供給源6をそのまま使用することもあるため、DC/DCコンバータ7が省略された形、すなわち $V_S = V_B$ の電源構成のシステムであっても

良い。さらに、図3では $-V_{EE}$ 電圧を出力するDC/D
Cコンバータ9の入力は、 V_S 端子に接続しているが、
直流電圧供給源6に接続しても良いし、全く別系統の直
流電圧供給装置から供給する場合も同じである。

【0053】図3の電源電圧出力は、一般的には V_S 、
GND、 $-V_{EE}$ のように表記される。これらの電源電圧
を図1の V_0 、 V_A 、 V_5 にそれぞれ対応させれば、 V_{0in}
 $-V_{5in}$ と $V_{0in}-V_A$ の間で2種類の電源が供給される
ことが違うだけで実施例1の場合と全く同様な動作を行
うことができる。駆動電圧発生回路の消費電力は上記

(1)式で示したものとなり、実施例1の場合と同様の
効果を得ることができる。ただし、電圧 V_S (V_0) $> V_2 > GND$ (V_A) でなければならない。

【0054】(実施例3) 演算増幅器自身の特性とし
て、演算増幅器の電源電圧を越える電圧を出力できない
のはもとより、演算増幅器に出力できる電圧範囲は電源
電圧範囲よりさらに狭くなる。一般的には演算増幅器の
+電源端子電圧が V^+ 、-電源端子電圧が V^- の場合に、
演算増幅器が一定電流を供給する時の出力電圧の最大値
は $V^+ - \Delta V_H$ 、また演算増幅器が一定電流を入力する場
合の演算増幅器出力電圧の最小値は $V^- + \Delta V_L$ という形
で示すことができる。したがって、実施例1、2とし
て、図1に示す回路における中間電圧 V_A は、演算増幅
器の+電源電圧および-電源電圧として使用しているた
め、

$$V_A - \Delta V_H > V_3 \quad \text{かつ} \quad V_A + \Delta V_L < V_2$$

$$\text{すなわち} \quad V_3 + \Delta V_H < V_A < V_2 - \Delta V_L$$

の条件を満たしていることが必要となる。

【0055】バイポーラで構成された演算増幅器におい
ては、一般的に ΔV_H 、 ΔV_L ともに約1V程度と比較的
大きい値となるため、図1の回路のままでは適用困難な
場合も考えられる。例えば、当社の液晶ユニットである
LM64P10においては、図3に示すようなシステム
電源回路を前提として、 $V_0 - V_5$ 最大電圧差=26.7
 V 、 $V_0 - V_A$ 間の最小電圧差4.75Vの仕様とな
っており、バイアス比は1/13である。

【0056】この場合 $V_2 - V_A$ 間電圧差は、
 $4.75V - (26.7V / 13 \times 2) = 0.64V$
しかとれなくなるため、図1の回路をそのまま、低価
格のバイポーラで構成された演算増幅器を用いるのは困
難である。

【0057】このような、条件においても適用可能とし
たのが、図6に示す回路である。図6において、 V_2 電
圧出力用として V_0 、 V_5 を+電源、-電源とした演算増
幅器を用いて、さらに演算増幅器の出力をPNPトラン
ジスタ3aのベースへ接続し、トランジスタ3aのコレ
クタは V_A に接続され、トランジスタ3aのエミッタが
演算増幅器3の一電圧入力に接続されると共に、 V_2 出
力となっている。この回路の場合、演算増幅器3の出力
電圧は、 V_2 レベルを安定化するように働き、 $V_2 - V_{BE}$

の電圧値をとる(トランジスタのベースエミッタ電圧を
 V_{BE} とする)。トランジスタの直流増幅率を h_{FE} とすると
と、 V_2 出力端子の吸い込み電流が I_2 の場合、トランジ
スタのベースには I_2/h_{FE} の電流が流れ、残りの大部
分である $I_2(1 - 1/h_{FE})$ の電流はトランジスタの
コレクタ電流として V_A 端子へ供給される。

【0058】この場合の V_2 と V_A 間に要求される電圧差
は、コレクタ飽和電圧 $V_{CE(sat)}$ まで低くできること
になる。すなわち $V_2 - V_{CE(sat)} > V_A$ の関係で
あれば良いこととなり、 $V_{CE(sat)}$ は約0.2V程
度である。したがって、システム電圧と液晶供給電圧 V_2
との電圧差が極端に小さい場合においても、本回路を
用いて有効に消費電力を低減することができる。

【0059】なお、この回路を用いた場合には、演算増
幅器3の電源として $V_0 - V_5$ を用いているため、演算増
幅器自身の無負荷時の消費電流 I_S と、ベース電流 I_2/h_{FE}
が流れることにより、図1の回路に対して $(V_A - V_5) \times (I_S + I_2/h_{FE})$ の電力が増加することにな
るが、 h_{FE} がある程度大きなトランジスタを用いること
により、ベース電流を減らすこと、また演算増幅器で
直接電流吸い込みを行う場合に比べて、電流吸い込み能
力が小さな演算増幅器(一般的には I_S も小さい)にす
ることもできるため、この部分の電力は非常に小さくす
ることは十分に可能である。

【0060】また、図6においては、バイポーラのトラン
ジスタを用いて構成した場合を示しているが、MOS
構造の電界効果トランジスタを用いても同様の効果を得
られるとともに、トランジスタでいう $V_{CE(sat)}$ に相当する電圧、すなわち電界効果トランジスタのドレイ
ン-ソース間のオン抵抗と負荷電流の積で表される電圧
は、バイポーラトランジスタよりもさらに小さくできる
場合もある。

【0061】(実施例4)一方、図1において、 V_A と
 V_3 の電圧の関係が、 $V_A > V_3$ であるがその電圧差が非
常に小さい場合の、実施例を図7に示す。図7におい
て、 V_3 電圧出力用として V_0 、 V_5 を+電源、-電源と
した演算増幅器4を用いて、さらに演算増幅器の出力を
NPNトランジスタ4aのベースへ接続し、トランジ
スタ4aのコレクタは V_A に接続され、トランジスタ4a
のエミッタが演算増幅器4の一電圧入力に接続されると
共に、 V_3 出力となっている。この回路の場合、演算増
幅器4の出力電圧は、 V_3 レベルを安定化するように働き、
 $V_3 + V_{BE}$ の電圧値をとる。ここではトランジスタの
ベース-エミッタ電圧である。トランジスタの直流増
幅率を h_{FE} とすると、 V_3 出力端子からの供給電流が I_3
の場合、トランジスタ4aのベースには I_3/h_{FE} の電
流が流れ、残りの大部分である $I_3(1 - 1/h_{FE})$ の電
流はトランジスタのコレクタ電流として、 V_A 端子より
供給される。

【0062】この場合の V_A と V_3 に必要な電圧差は、コ

レクタ飽和電圧 V_{CE} (s a t) まで低くできることにある。すなわち $V_3 + V_{CE}$ (s a t) < V_A の関係であれば良いこととなり、 V_{CE} (s a t) は 0.2V 以下には抑えられる。なお、この回路を用いた場合には、上記実施例 3 と同様に演算増幅器 4 の電源として $V_0 - V_5$ を用いているため、演算増幅器自身の無負荷時の消費電流 I_S と、ベース電流 I_2/h_{FE} が流れることにより、図 1 の回路に対して、 $(V_0 - V_A) \times (I_S + I_2/h_{FE})$ の電力が増加することになるが、 h_{FE} がある程度大きなトランジスタを用いることにより、ベース電流を減らすこと、また演算増幅器で直接電流吸い込みを行う場合に比べて、電流吸い込み能力が小さな演算増幅器（一般的には I_S も小さい）にすることもできるため、この部分の電力は非常に小さくすることは十分に可能である。また、トランジスタは電界効果トランジスタ（FET）を用いても良い。

【0063】（実施例 5）さらに、電圧 $V_3 < V_A < V_2$ であるが、 $V_3 + \Delta V_H < V_A$ および $V_A < V_2 - \Delta V_L$ のい*

$V_3 + V_{CE}$ (トランジスタ 4 a) < $V_A < V_2 - V_{CE}$ (トランジスタ 3 a)

となり、極めて低い電圧差の場合においても、実用化が可能となる。

【0066】（実施例 6）電圧 $V_A < V_3$ となる場合は、本発明の回路構成ではそのままの適用は困難である。このような場合においても適用可能な実施例として、図 2 に示すシステム電源回路の構成の場合での実施例を図 9 に示す。図 9 は、図 2 に対して $V_S - GND$ 間を電源電圧として、 V_S' ($V_S' > V_S$) を発生する電圧昇圧回路 14 を附加したものである。

【0067】以下、電圧 V_S を 2 倍に昇圧すれば、前述の V_3 よりも高くできる場合のシステム（当然ながら $V_3 < 2 \times V_S = V_S' < V_2$ を満足できる場合）について詳細を説明する。この場合の昇圧回路として、図 11 の構成にすれば、極めて効率良く電圧の発生が可能である。図 11において 16, 17 は切り換えスイッチ、電荷蓄積手段としてのコンデンサ 18, 19 を備えている。

【0068】切り換えスイッチ 16 は、入力端子 V_S に接続された固定端子 16 a、出力端子 V_S' に接続された固定端子 16 b、およびコンデンサ 18 への接続を固定端子 16 a、16 b のいずれか一方に切り換える切り換え端子 16 c とを備えている。また、切り換えスイッチ 17 は、入力端子 GND に接続された固定端子 17 a、出力端子 V_S' に接続された固定端子 17 b、およびコンデンサ 18 への接続を固定端子 17 a、17 b のいずれか一方に切り換える切り換え端子 17 c とを備えている。

【0069】また、コンデンサ 18 は $V_S - GND$ 間に供給される電圧、すなわち電荷を一時的に蓄えるものであり、一端が前記切り換えスイッチ 16 の切り換え端子 16 c と接続され、他端が切り換えスイッチ 17 の固定端子 17 c に接続されている。これらの切り換えスイッ

*すれも満足できないような、 V_A レベルを有するシステム電圧を利用する場合には、実施例 3 および実施例 4 を複合的に組み合わせた図 8 のような構成をとれば良い。

【0064】図 8において、 V_2 電圧出力用として V_0 , V_5 を + 電源、 - 電源とした演算増幅器 3 を用いて、さらに演算増幅器 3 の出力を PNP トランジスタ 3 a のベースへ接続し、トランジスタ 3 のコレクタは V_A に接続され、トランジスタ 3 のエミッタが演算増幅器 3 a の - 電圧入力に接続されると共に、 V_2 出力となっている。

10 また、 V_3 電圧出力用として V_0 , V_5 を + 電源、 - 電源とした演算増幅器 4 を用いて、さらに演算増幅器 4 の出力を NPN トランジスタ 4 a のベースへ接続し、トランジスタ 4 のコレクタは V_A に接続され、トランジスタ 4 のエミッタが演算増幅器 4 a の - 電圧入力に接続されると共に、 V_3 出力となっている。

【0065】動作に関しては、実施例 3、実施例 4 で説明した通りであるが、図 8 に示す回路における、 V_2 , V_A , V_3 の関係は、

$V_3 + V_{CE}$ (トランジスタ 3 a) < $V_A < V_2 - V_{CE}$ (トランジスタ 3 a)

20 チは、一定時間の間 16 a と 16 c および 17 a と 17 c を接続し、また次の一定時間の間 16 b と 16 c および 17 b と 17 c を接続するように、すなわち切り換えスイッチ 16, 17 は同時に同方向に切り換わるように制御される。

【0070】上記の回路での動作は以下のように説明できる。

① まず、切り換えスイッチ 16, 17 が同図の実線で示す方向に切り換わっているとすると、コンデンサ 18 には ($V_S - GND$) の電圧に充電される。

30 ② 一方、切り換えスイッチ 16, 17 が図の破線で示す方向に切り換わると、コンデンサ 19 へコンデンサ 18 と 19 の容量比に応じた量の電荷が蓄積される。

【0071】ここで、コンデンサ 18 と 19 の静電容量が共に C で、コンデンサ 19 の電荷が 0 であったとすると、①, ② の動作を繰り返すことによりコンデンサ 19 に蓄積される電荷は $Q = C \times (V_S - GND) (1/2 + 1/4 + 1/8 + 1/16 + \dots)$ となり、コンデンサ 19 の端子間電圧は ($V_S - GND$) に収束する。ここで、コンデンサ 19 の負極は入力端子 V_S に接続されているため、出力端子 V_S' は $2 \times (V_S - GND)$ の電位を発生することになる。

【0072】切り換えスイッチ 16, 17 の a 側および b 側への接続時間がそれぞれ $1/2$ で、スイッチ切り換えの繰り返し周波数 f [Hz] の場合に、 V_S' に負荷が接続され、一定電流 I を供給する場合には、 V_S' の出力電圧変動値（リップル電圧） ΔV は下式であらわされる。

$$\Delta V = 3 \times I / (2 \times C \times f)$$

であり、必要な負荷電流とリップル電圧を元に、切り換えスイッチ 16, 17 の周波数およびコンデンサ 18,

19の容量を設定することができる。

【0073】また、VS端子より供給される電流は $2 \times I$ となる。

【0074】さらに、この電源回路の特長は、電荷の供給のみでなく電荷をVS'から吸収し、VSに戻すことができる。すなわち、VS'端子に対して電荷が流入（電流が流れ込む）とコンデンサ19に蓄積される電荷はQは $C \times (V_S - GND)$ より多くなり、

コンデンサ19の端子間電圧 $> (V_S - GND)$ *

入力側	電圧	(VS - GND)	電流	2I
出力側	電圧	VS' = 2 × (VS - GND)	電流	I

でしかもIは、供給および吸い込みがともに可能な双方向性を持つ極めて効率の良い昇圧回路が構成できる。

【0076】この電源回路により発生した電源電圧VS'を図1の本発明の電圧端子VAに用いることにより、実施例1で示した効果を得ることができる。また、図11では(VS-GND)を2倍の電圧VS'にすることを説明したが、さらに複数個組み合わせることにより、3倍、4倍等の整数倍への電圧変換が可能である。

【0077】（実施例7）さらに、図3で示すようなシステム電源回路構成の場合において、電圧V0>VA>V2となり、本発明をそのまま適用できない場合の実施例を図10に示す。図10は、図3に対してVS-GND間を電源電圧として、GND電位よりも低い-VS'(-VS'<GND)を発生する負電圧発生回路15を付加したものである。以下、VSをGNDに対して-VSの電位にすれば、前述のV2よりも低くできる場合のシステム（当然ながらV3<(GND-VS)=-VS'<V2を満足できる場合）について詳細を説明する。

【0078】この場合の負電圧発生回路として、図12の構成にすれば、極めて効率良く電圧の発生が可能である。図12において16、17は切り換えスイッチ、電荷蓄積手段としてのコンデンサ18、19を備えている。この回路の基本動作は図11の場合と同じである。ただし、コンデンサ19の高圧側がシステム電源GNDの端子に接続されているため、出力端子-VS'は、VSをGNDに対して対称に折り返した-VSの電圧をもつことになる。

【0079】したがって、この電源回路により発生した電源電圧-VS'を図1の本発明の電圧端子VAに用いることにより、実施例1で示した効果を得られることができる。また、図11では(VS-GND)を-VSの電位を持つ負の電圧にすることを説明したが、さらに複数個組み合わせることにより、-2VS、-3VS等の整数倍への電圧変換が可能である。

【0080】（実施例8）上記実施例6で示した電圧昇圧回路11は、切り換えスイッチとしてMOS形FETを用いることにより極めて低消費電力で、電力効率良く構成することができる。MOS形FETを使用して作成した昇圧回路の実施例を図13に示す。図13におい

*となる。スイッチ回路が図の破線側に切り換わったとき、この電圧差がコンデンサ18と19の容量比により分圧され、コンデンサ18の端子間電圧 $> (V_S - GND)$ となり、スイッチ16、17が図の実線側に切り換わった際には $C \times \{ \text{コンデンサ18の端子間電圧} - (V_S - GND) \}$ で示される電荷がVSに戻されることとなる。リップル等の関係も同様に説明できる。

【0075】すなわち、この電源回路により、

て、20、21はNチャネルMOS回路FETであり、内部の寄生ダイオードも含めて図示している。また、22、23はPチャネルMOS形FETであり、同様に内部の寄生ダイオードも図示している。さらに、コンデンサ24、25は電荷蓄積手段である。

【0081】また、コンデンサ26、ダイオード27はNチャネルMOS形FET20のゲート電圧クランプ回路、コンデンサ28、ダイオード29はPチャネルMOS形FET22のゲート電圧クランプ回路である。なお、NチャネルMOS形FET21はソース電位に対するゲート電位（ゲート・ソース間電圧）がVS以上のとき“ON”し、NチャネルMOS形FET20はゲート・ソース間電圧が(VS-ダイオードの順方向電圧)以上のとき“ON”する特性を持ち、またPチャネルMOS形FET23はゲート・ソース間電圧が-VS以下のときに“ON”し、PチャネルMOS形FET22はゲート・ソース間電圧が（ダイオード順方向電圧-VS）以下の時に“ON”する特性を有しているものとする。

【0082】ここで、ゲート駆動信号として、図15に示すような電圧VS、GND間の振幅を持つ ϕ_N 、及び ϕ_P を入力する。まず、図15のゲート駆動信号のT1期間について説明する。T1期間において ϕ_N がVSレベル、 ϕ_P もVSレベルとなっており、NチャネルMOS形FET21は“ON”状態となる。また、NチャネルMOS形FET20のゲートはコンデンサ26、ダイオード27により $(2 \times VS - \text{ダイオード27の順方向電圧})$ の電位となるため、“ON”状態となる。また、 ϕ_P はVSレベルであり、PチャネルMOS形FET23では、ソース電位とゲート電位が同じとなり、“OFF”となる。同様にPチャネルMOS形FET22でも、コンデンサ28とダイオード29により、ソース電圧に対してゲート電圧が同電位あるいはダイオード29の順方向電圧分だけ高くなる（逆バイアスされる）ため、“OFF”する。

【0083】一方、T2期間においては、 ϕ_N がGNDレベル、 ϕ_P もGNDレベルとなるため、NチャネルMOS形FET21のゲート-ソース間電圧は、0V、NチャネルMOS形FET20のゲート-ソース間電圧は0Vから-（ダイオード27の順方向電圧）の範囲とな

り、共に“OFF”状態となる。また、PチャネルMOS形FET23ではゲート・ソース間電圧が V_S 、PチャネルMOS形FET22では V_S から(V_S -ダイオード29の順方向電圧)の範囲にとなり“ON”状態となる。なお、図15においては、T₁₂に示すようにすべてのMOS形FETが“OFF”する期間を有するよう作成している。これは、NチャネルMOS形FET20、21とPチャネルMOS形FET22、23とが同時に“ON”しないようにするためである。

【0084】以上のように、図13に示すようにMOS形FETをスイッチ素子として動作させることにより、図11で示した切り換えスイッチと全く同じ動作原理に基づく電圧昇圧回路が実現できる。なお、スイッチ素子としてMOS形FETを使用する理由は、MOS形FETはゲートの入力インピーダンスが極めて高く、しかもON時のゲート・ドレイン間の電圧がほぼ0とできることである。これは、ゲートを駆動するための電力を極めて少なくできること、及び電荷蓄積手段として用いているコンデンサ間での電荷移動のための効率を極めて高くできることを意味している。当然スイッチ素子としてバイポーラトランジスタを使用することはできるが、バイポーラトランジスタでは一定のベース電流を必要とすると共に、“ON”時にはコレクタ・エミッタ間の電圧は飽和電圧以下にはできない。したがって、バイポーラトランジスタを用いて本回路を作成した場合には、昇圧回路の電力変換効率はMOS形FETほどには上げられない。

【0085】また、図15に示したゲート駆動波形は、 V_S とGND間を電源とするクロック発生回路により簡単に作成できるため詳細は省略するが、液晶表示装置においては表示用クロックを有しており、このクロックを分周したものを流用することによっても作成可能である。

【0086】(実施例9)図12で示した負電圧発生回路は、切り換えスイッチとしてMOS形FETを用いることにより極めて低消費電力で、電力効率良く構成することができる。MOS形FETを使用して作成した負電圧発生回路の実施例を図14に示す。図14において、30、31はPチャネルMOS形FETであり、内部の寄生ダイオードも含めて図示している。また、32、33はNチャネルMOS形FETであり、同様に内部の寄生ダイオードも図示している。さらに、コンデンサ34、35は電荷蓄積手段である。また、コンデンサ36、ダイオード37はPチャネルMOS形FET31のゲート電圧クランプ回路、コンデンサ38、ダイオード39はNチャネルMOS形FET33のゲート電圧クランプ回路である。

【0087】なお、NチャネルMOS形FET32はソース電位に対するゲート電位(ゲート・ソース間電圧)が V_S 以上のとき“ON”し、NチャネルMOS形FET

T33はゲート・ソース間電圧が(V_S -ダイオードの順方向電圧)以上のとき“ON”する特性をもち、またPチャネルMOS形FET30はゲート・ソース間電圧が $-V_S$ 以下のときに“ON”し、PチャネルMOS形FET31はゲート・ソース間電圧が(ダイオード順方向電圧- V_S)以下の時に“ON”する特性を有しているものとする。ここで、ゲート駆動信号として、図15に示すような電圧 V_S 、GND間の振幅を持つ ϕ_N 、及び ϕ_P を入力する。

10 【0088】T₁期間において ϕ_N が V_S レベル、 ϕ_P も V_S レベルとなっており、NチャネルMOS形FET32、33は共に“ON”状態、PチャネルMOS形FET30、31はともに“OFF”状態となる。一方、T₂期間では ϕ_N がGNDレベル、 ϕ_P もGNDレベルであり、PチャネルMOS形FET30、31はともに“ON”となり、NチャネルMOS形FET32、33は共に“OFF”となる。以上のように、MOS形FETをスイッチ素子として動作させることにより、図12で示した切り換えスイッチで行う手法と全く同じ動作原理に基づく負電圧発生回路が実現できることとなる。

【0089】

【発明の効果】本発明の請求項1および請求項2に記載の本装置では、本発明により必要な部品は従来回路と同じ部品点数にできると共に、使用部品の耐圧も下げる事が可能である。即ち、低消費電力と低コストを実現できることとなる。

【0090】本発明の請求項3および請求項4および請求項5に記載の本装置では、トランジスタを組み合わせた定電圧回路を持つことにより、システム電源の電源電圧と液晶駆動電圧の V_2 もしくは V_3 電圧との電圧差が小さい場合においても、請求項1および請求項2で示す効果を得られるとともに、安価な部品で構成せることによるコストメリットも有している。

【0091】本発明の請求項6に記載の本装置では、システム電源がどのような電圧を有していても、システム電源電圧を昇圧する回路を付加することにより、請求項1に示すような低消費電力化の効果を簡単に得られる。

【0092】本発明の請求項7に記載の本装置では、システム電源がどのような電圧を有していても、システム電源を負電圧に変換する回路を付加することにより、請求項2に示すような低消費電力化の効果を簡単に得られる。

【0093】本発明の請求項8に記載の本装置では、極めて電力効率が良くしかも可逆性のある昇圧回路を作成することができる。すなわち、この昇圧回路を用いることにより請求項6に示す液晶駆動電圧発生装置および液晶表示装置を効率よく提供できる。

【0094】本発明の請求項9に記載の本装置では、請求項9に示す構成によれば、極めて電力効率が良くしかも可逆性のある負電圧発生回路を作成することができ

る。すなわち、この負電圧発生回路を用いることにより請求項7に示す液晶駆動電圧発生装置および液晶表示装置を効率よく提供できる。

【図面の簡単な説明】

【図1】本発明による基本構成の液晶表示装置の駆動電圧発生装置を示す回路図である。

【図2】本発明による実施例1に適用する液晶表示装置のシステム電源を示す回路図である。

【図3】本発明による実施例2に適用する液晶表示装置のシステム電源を示す回路図である。

【図4】本発明による基本構成の駆動電圧発生装置の負荷による回路電流の流れを示した図である。

【図5】本発明による基本構成の駆動電圧発生装置の、液晶表示装置をモデル化した負荷の時間変化を示した図である。

【図6】本発明による実施例3に適用する液晶表示装置の駆動電圧発生装置を示す回路図である。

【図7】本発明による実施例4に適用する液晶表示装置の駆動電圧発生装置を示す回路図である。

【図8】本発明による実施例5に適用する液晶表示装置の駆動電圧発生装置を示す回路図である。

【図9】本発明による実施例6に適用する電圧昇圧回路を付加した液晶表示装置のシステム電源を示す回路図である。

【図10】本発明による実施例7に適用する負電圧発生回路を付加した液晶表示装置のシステム電源を示す回路図である。

【図11】本発明による実施例6の電圧昇圧回路の基本構成を示す回路図である。

【図12】本発明による実施例7の負電圧発生回路の基本構成を示す回路図である。

【図13】本発明による実施例8の電圧昇圧回路を示す回路図である。

【図14】本発明による実施例9の負電圧発生回路を示す回路図である。

【図15】本発明による実施例8および実施例9に用いるゲート駆動波形図である。

【図16】本装置に実施する液晶表示装置の構成を示す概略説明図である。

【図17】本装置に実施する液晶表示装置のコモン電極に供給する電圧波形図である。

【図18】本装置に実施する液晶表示装置のセグメント電極に供給する電圧波形図である。

【図19】本装置に実施する液晶表示装置の液晶パネル全体で流れる電流の経路を示した図である。

【図20】従来の液晶表示装置の駆動電圧発生装置の負荷による回路電流の流れを示した図である。

【符号の説明】

2, 3, 4, 5, 101, 102, 103, 104 演算増幅器

20 7, 8, 9 DC/DCコンバータ
10, 11, 107, 108 モデル負荷

14 電圧昇圧回路

15 負電圧発生回路

20, 21, 22, 23, 30, 31, 32, 33 M
OS形FET

51 駆動電圧発生回路

52 液晶パネル

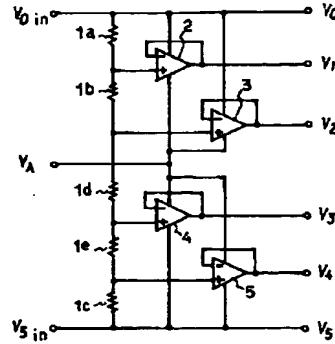
53 セグメント電極

54 コモン電極

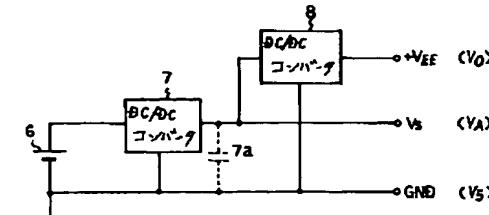
30 55 セグメントドライバー

56 コモンドライバー

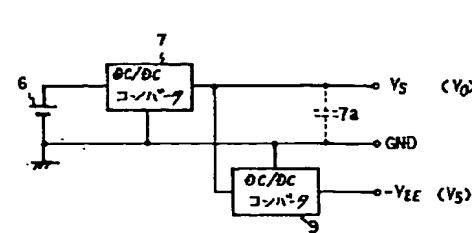
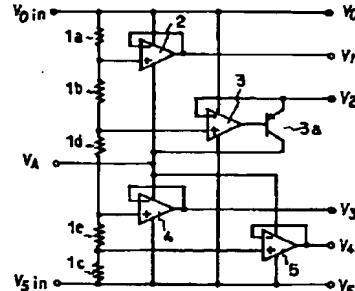
【図1】



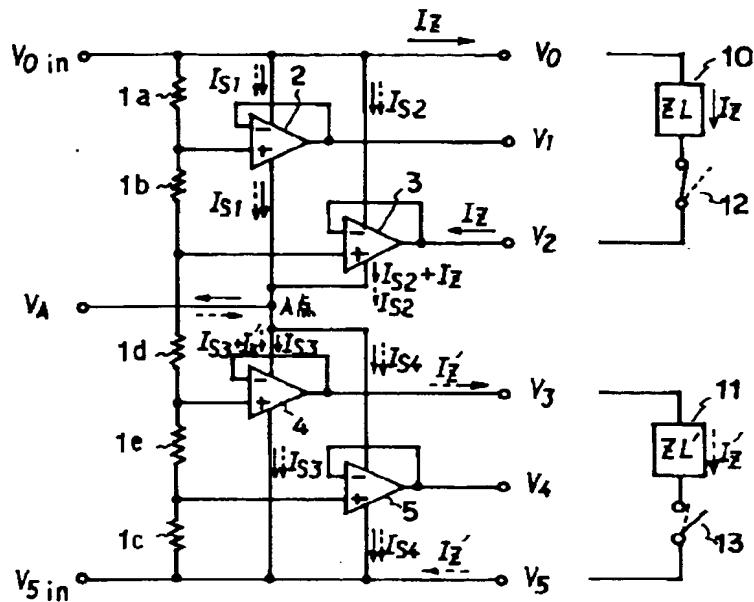
【図2】



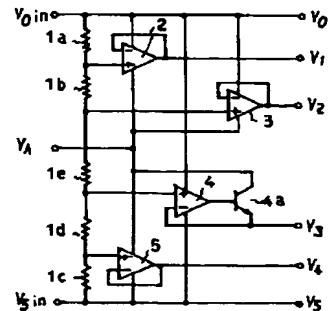
【図6】



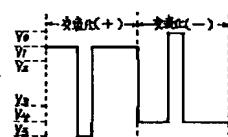
【図4】



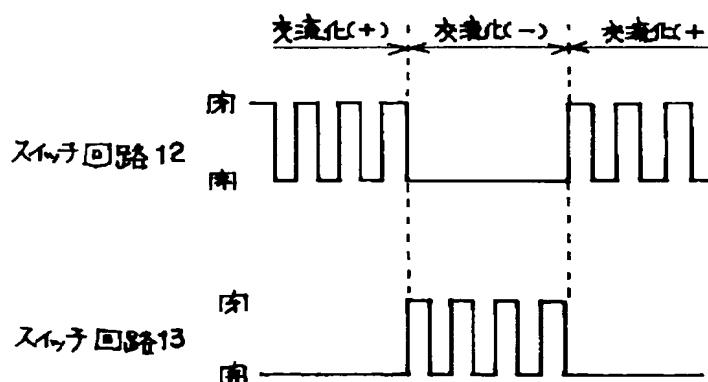
【図7】



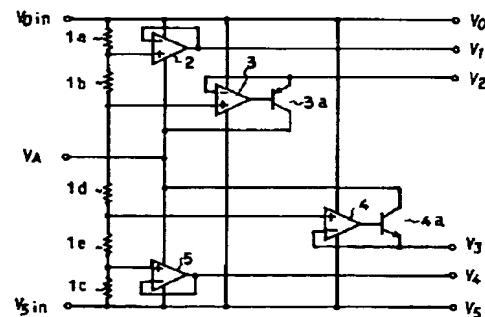
【図17】



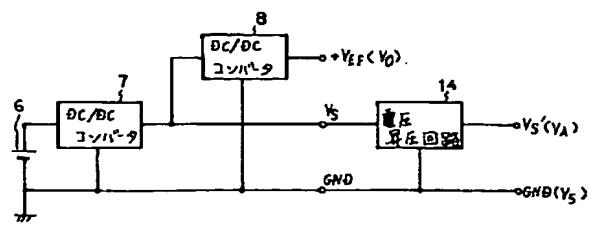
【図5】



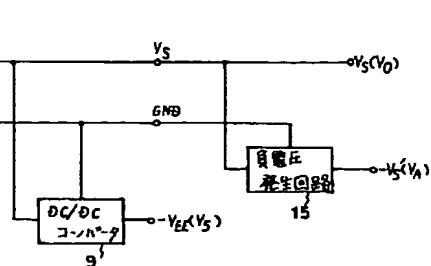
【図8】



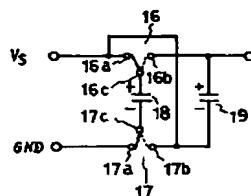
【図9】



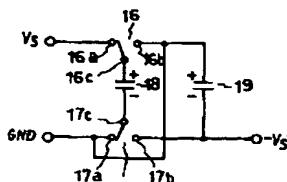
【図10】



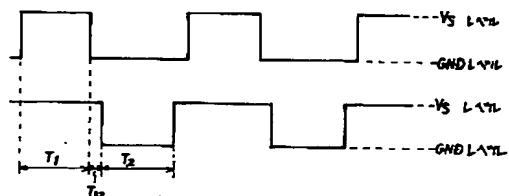
[図11]



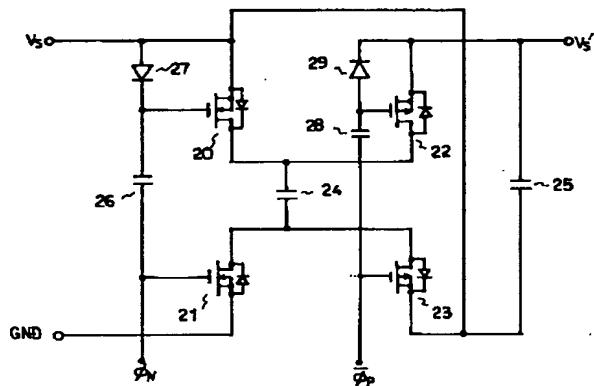
【図12】



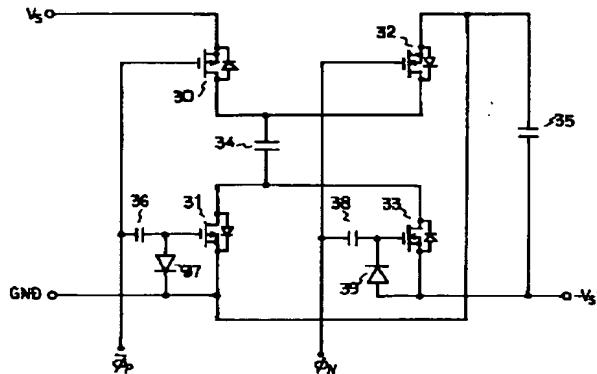
【図13】



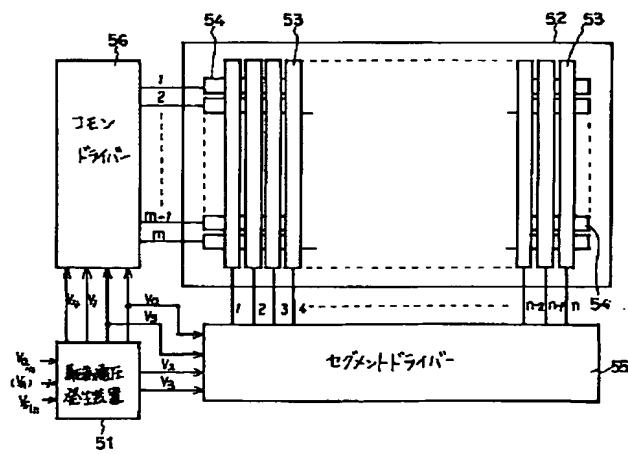
【図14】



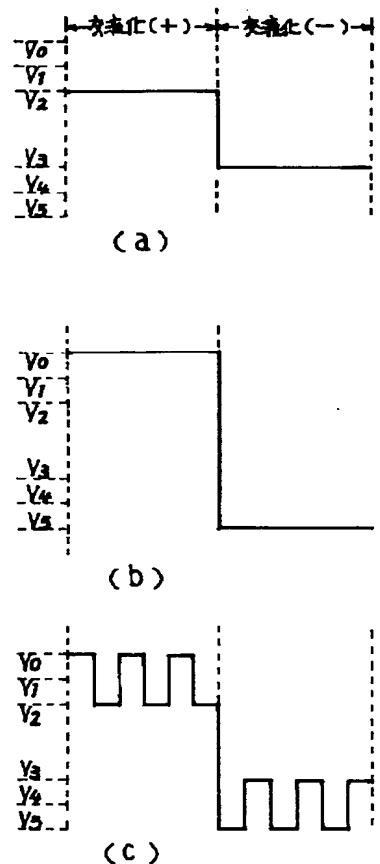
【図15】



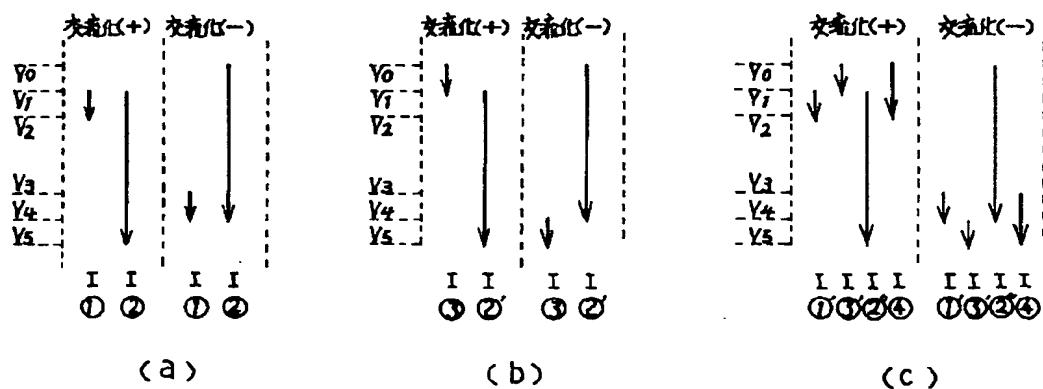
[图 16]



【図18】



【図19】



【図20】

